



高速・低電力 LSI に向けた動的制御可能な電圧 レベル変換器(DCLC)技術とその応用

岡 佳憲 鹿野裕明 原田知親 榎本忠儀

中央大学 大学院 理工学研究科 情報工学専攻

〒112-8551 東京都文京区春日 1-13-27

あらまし 性能を維持し、動作時消費電力(P_{AT})および待機時消費電力(P_{ST})を低減する動的制御可能な電圧レベル変換器(DCLC)技術を開発し、これを 0.13 μ m-CMOS SRAM や逐次桁上げ加算回路(RCA)へ適用した。従来形 8 ビット RCA の P_{ST} は 88.7 nW であった。改良形 8 ビット RCA の P_{ST} は 4.03 nW で、従来形の 4.54% に減少した。一方、クロック周波数 100 MHz の時、従来形 8 ビット RCA の P_{AT} は 97.4 μ W であった。改良形 8 ビット RCA の P_{AT} は 63.9 μ W で、従来形の 65.6% に減少した。改良形 8 ビット RCA のクリティカルパス遅延時間 t_D は 0.79 n 秒で、従来形の t_D のわずか 3.8% 増であった。従来形 512 ビット SRAM の P_{ST} は 3.58 μ W であった。改良形 512 ビット SRAM の P_{ST} は 1.04 μ W で、従来形の 29.1% に減少した。改良形 SRAM のアクセス時間は 286 p 秒で、従来形 SRAM のアクセス時間(283 p 秒)に比べ、遅れは 1.06% とわずかであった。

キーワード: CMOS、電圧レベル変換器、サブスレッショルド電流、SRAM、加算回路、消費電力

Dynamically Controllable DC Level Converter (DCLC) Technique to Reduce Power Dissipation, and Application to High-Speed, Low-Power Circuits

Yoshinori Oka, Hiroaki Shikano, Tomochika Harada and Tadayoshi Enomoto

Graduate School of Science and Engineering, Chuo University

1-13-27 Kasuga, Bunkyo-ku, Tokyo 112-8551, Japan

Abstract New Dynamically Controllable DC voltage Level Converter (DCLC) technique has been developed for use in high-speed, low-power circuits. The level converter can increase the DC voltage which is supplied to an active-load circuit on request, or supply a minimal DC voltage to a load circuit in the stand-by mode so that sub-threshold currents can be reduced. Ripple carry adders (RCAs) and SRAMs were designed using 0.13- μ m CMOS technology to examine the effectiveness of DCLCs in power reduction. SPICE simulation results showed that the power dissipation P_{ST} at the stand-by mode for an 8-bit RCA at a clock frequency of 100 MHz with on-chip DCLCs was 4.03 nW, a reduction to 4.54% of that of an equivalent 8-bit RCA. The active power P_{AT} of the 8-bit RCA with on-chip DCLCs was 63.9 μ W, a reduction to 65.6% of that of the conventional 8-bit RCA, while the output signal delay was 0.79 nsec that was only 3.8% longer than that of the conventional 8-bit RCA. P_{ST} of a 512-bit SRAM with on-chip DCLCs was 1.04 μ W, 29.1% of the value for an equivalent conventional SRAM, with the read-access time of 286 psec, only 1.06% longer than that (283 psec) of a conventional 512-bit SRAM.

key words: CMOS, level converter, sub-threshold currents, SRAM, ripple carry adder, power dissipation

1 はじめに

MOSFET の微細化が進み現在では $0.13 \mu\text{m}$ -CMOS 技術を用いた LSI が製品化されている。微細化に伴い、電源電圧(V_D)としきい値電圧(V_t)の低減が必須となる。低 V_t の MOSFET だけを用いて論理回路を構成すると、高速動作するが、カットオフしている MOSFET に流れるサブスレッショルド電流(I_{ss})が大きいため、待機時消費電力(P_{ST})が増大する[1]。これを解決するために、高 V_t の MOSFET だけを用いて論理回路を構成すると、今度は回路の動作速度が遅くなってしまう。論理回路の高性能化(高速動作)と P_{ST} の低減を両立する技術として、MTCMOS 技術[2]、VTCMOS 技術[3]、DC/DC 変換回路技術[4]がよく知られている。

MTCMOS 技術は低 V_t の MOSFET で構成した従来の CMOS 論理回路を高 V_t の pMOSFET スイッチを介して電源に接続する技術である。動作時はスイッチを閉じて、CMOS 論理回路を高速動作させる。一方、待機時はスイッチを開いて、回路に流れる電流を高 V_t の pMOSFET スイッチに流れる I_{ss} に制限して、 P_{ST} の低減を図っている。MTCMOS 技術の問題点として、高 V_t 用のイオン注入プロセスを追加する必要がある、記憶回路へ適用できない(待機時にデータ保持が不可能)、等があげられる。

VTCMOS 技術を用いた論理回路は、通常の CMOS 回路と異なり、回路が待機状態に入ると、各 MOSFET にバックゲートバイアス(V_{BG})がかかるようになっていく。この結果、各 MOSFET の V_t (の絶対値)は V_{BG} が無い時の V_t (の絶対値)より高くなるため、カットオフ状態の各 MOSFET に流れる I_{ss} が減少し、 P_{ST} が減少する。一方、動作時は V_{BG} をかけないで、従来の回路の動作速度を維持できる。しかし、VTCMOS 技術はウェルと基板との間の大きな pn 接合容量を充放電するため、 V_{BG} の急速な切り替えが困難(μsec オーダーの切り替え時間がかかる)である、チップ面積が増大する(V_{BG} 発生回路と V_{BG} 供給配線)、動作時消費電力(P_{AT})が増加する(V_{BG} 発生回路の電力消費)、等の問題があり、実用化が難しい。

携帯機器向け LSI の高性能化と低電力化を実現するため、上述した MTCMOS 技術と VTCMOS 技術に代わる新たな低消費電力化技術、動的制御可能な電圧レベル変換器(Dynamically Controllable DC voltage Level Converter; DCLC)技術を開発した[5,6]。本 DCLC 技術は回路が動作状態に入ると電源電圧(例えば、 $V_{DD} = 1.5 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$)を、回路が待機状態に入ると低い電圧($< 1.5 \text{ V}$ 、 $> 0 \text{ V}$)を、適応的に供給する。この結果、動作時の高速性能を維持するのみならず、 P_{AT} が減少する。一方、カットオフしている MOSFET のドレイン・ソース間電圧(V_{ds})が低減し、かつ V_{BG} がかかるので、 I_{ss} が減少する。従って、 P_{ST} を低減することができる。さらに、待機状態の回路へは導通状態の MOSFET を介して電圧($< 1.5 \text{ V}$ 、 $> 0 \text{ V}$)が供給されているので、データを保持する機能がある。これを利用すると論理回路ばかりでなく、フリップフロップ、メモ

表 1.1:待機時消費電力削減技術。

	従来	MTCMOS	VTCMOS	DCLC
待機時消費電力	×	○	○	○
動作速度	○	○	○	○
動作時消費電力	×	○	×	○
面積オーバーヘッド (スイッチ/配線/制御回路)	○	△	×	△
高 V_t 製造プロセス	○	×	○	○
待機/動作切替え速度	○	○	×	○
記憶回路への適用	○	×	○	○
論理回路への適用	○	○	○	○

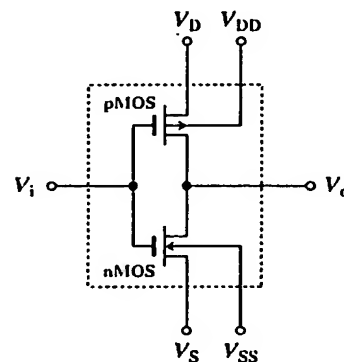


図 2.1: インバータ。

リ、レジスタファイル、カウンタ、等へも適用が可能となる。

以下、第 2 章で I_{ss} の低減原理、第 3 章で DCLC の構成と性能、第 4、5 章で DCLC と $0.13 \mu\text{m}$ -CMOS 技術を記憶回路(SRAM)および論理回路(加算回路)に適用して、DCLC の効果を検討する。512 ビット SRAM では、アクセス時間(286 p 秒)を従来形の 1.06% 増に抑え、 P_{ST} (1.04 μW)を従来形の 29.1% に削減できた。8 ビット逐次桁上げ加算回路では、クリティカルパス遅延時間(0.79 n 秒)を従来形の 3.8% 増に抑え、 P_{ST} (4.03 nW)を従来形の 4.54% に削減できた。

2 待機時消費電力

MOSFET のサブスレッショルド特性とはチャネル表面が弱反転状態となっている時に流れるドレイン電流(I_{ds})の特性である。カットオフしている MOSFET のドレイン・ソース間電圧(V_{ds})を低減すると、DIBL(Drain Induced Barrier Lowering)効果[7]により、サブスレッショルド電流(I_{ss})が減少する。一方、バックゲートバイアス(V_{BG})がかかると、しきい値電圧(V_t)が高くなり、 I_{ss} が減少する。以下ではこれを BGB(Back Gate Bias)効果と呼ぶ。図 2.1 に示したインバータを用いて、nMOSFET のサブスレッショルド電流(I_{ssn})が DIBL 効果、BGB 効果により減少する様子を検討する。ここで、 V_{DD} は電源電圧($= 1.5 \text{ V}$)、 V_{SS} は接地電位($= 0 \text{ V}$)、 V_i は入力信号、 V_o は出力信号である。また、 V_D は pMOSFET の

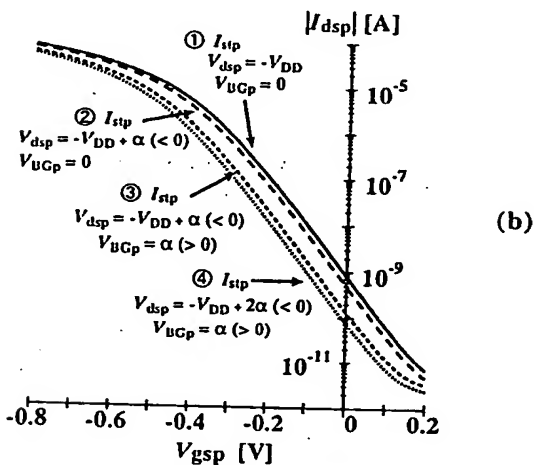
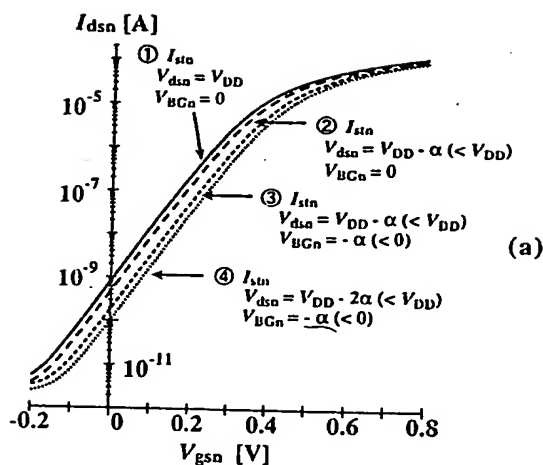


図 2.2: インバータの電流特性.

- (a) 入力="0" (nMOSFET がカットオフ).
(b) 入力="1" (pMOSFET がカットオフ).

ソース電圧、 V_S は nMOSFET のソース電圧である。nMOSFET のチャネル幅/ゲート長 (W/L) は $0.6 \mu\text{m} / 0.13 \mu\text{m}$ 、pMOSFET の W/L は $1.2 \mu\text{m} / 0.13 \mu\text{m}$ である。 V_i が論理 "0" ($= V_S$) の時、pMOSFET が導通し、nMOSFET がカットオフする。

Case-1

従来、pMOSFET のソース、ウェルへは V_{DD} が、nMOSFET のソース、ウェルへは V_{SS} が供給されていた。 $V_{dsn}(=V_D-V_S)$ は V_{DD} 、 $V_{BGn}(=V_{SS}-V_S)$ は 0 V であった (BGB はかかってなかった)。SPICE 解析による I_{stn} を図 2.2(a) に ① で示す。ゲート・ソース間電圧 (V_{gsn}) は 0 で、 $I_{stn} = 8 \times 10^{-10} \text{ A}$ である。

Case-2

V_D を V_{DD} より α だけ低くする場合、 V_{dsn} は $V_{DD} - \alpha$ 、 V_{BGn} は 0 V である。SPICE 解析による I_{stn} を図 2.2(a) に ② で示す。 $V_{gsn} = 0$ で、 I_{stn} は $5 \times 10^{-10} \text{ A}$ である。DIBL 効果により、① と比べ、 I_{stn} は $5/8$ に減少している。

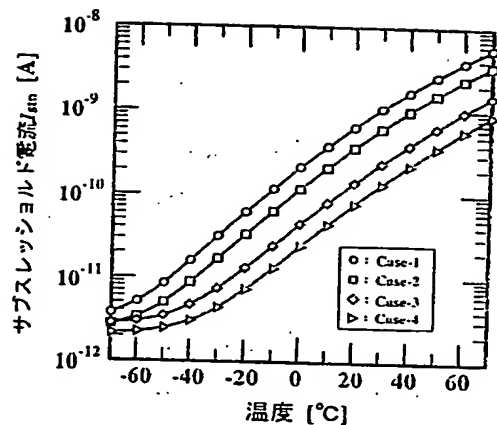


図 2.3: nMOSFET のサブスレッショルド電流の温度依存性.

Case-3

V_S を V_{SS} より α だけ高くする場合、 V_{dsn} は $V_{DD} - \alpha$ 、 $V_{BGn}(=V_{SS}-V_S)$ は $-\alpha$ である。SPICE 解析による I_{stn} を図 2.2(a) に ③ で示す。 $V_{gsn} = 0$ で、 I_{stn} は $2 \times 10^{-10} \text{ A}$ である。DIBL 効果に、BGB 効果が加わり、① と比べ、 I_{stn} は $2/8$ に減少している。

Case-4

Case-2 と Case-3 を合体させた場合、 V_{dsn} は $V_{DD} - 2\alpha$ 、 V_{BGn} は $-\alpha$ である。SPICE 解析による I_{stn} を図 2.2(a) に ④ で示す。 $V_{gsn} = 0$ で、 I_{stn} は $1 \times 10^{-10} \text{ A}$ である。DIBL 効果がさらに大きくなり、① と比べ、 I_{stn} は $1/8$ に減少している。

V_i が論理 "1" ($= V_D$) の時、nMOSFET が導通し、pMOSFET がカットオフする。この場合、SPICE による pMOSFET のサブスレッショルド電流 (I_{stp}) 特性は図 2.2(b) のようになる。

図 2.2 (b) の Case-2、Case-3、Case-4 の I_{stp} はそれぞれ $5 \times 10^{-10} \text{ A}$ 、 $1 \times 10^{-10} \text{ A}$ 、 $0.7 \times 10^{-10} \text{ A}$ であり、従来に比べ、 $5/8$ 、 $1/8$ 、 $1/11$ に低減されている。

図 2.3 に I_{stn} の温度依存性を示す。温度の減少とともにほぼ線形に I_{stn} が減少している。図 2.2 と同様、DIBL 効果、BGB 効果により、 I_{stn} が減少する。また、室温 (25°C) から 0°C に低減すると、 I_{stn} が 23.4% に減少する。

図 2.4 にインバータの待機時消費電力 (P_{ST}) に与える DIBL 効果、BGB 効果を示す (SPICE による解析結果)。図 2.4 (a) が $V_i = "0"$ ($= V_S$) (nMOSFET がカットオフ)、(b) が $V_i = "1"$ ($= V_D$) (pMOSFET がカットオフ) の場合である。横軸は V_{ds} の低減の大きさや V_{BG} の値を示すファクタ α である。いずれの Case (Case-2、Case-3、Case-4) も α の増加と共に P_{ST} が線形に減少する。また、Case-2、Case-3、Case-4 の順に P_{ST} が減少する割合が大きい。これは図 2.2 で述べた理由と同じである。 $\alpha = 0.2 \text{ V}$ のとき、従来に比べ、図 2.4(a) の Case-2、Case-3、Case-4 の P_{ST} はそれぞれ 69.2% 、 44.7% 、 24.7% に、図 2.4 (b) の Case-2、Case-3、Case-4 の P_{ST} はそれぞれ 71.9% 、 28.9% 、 20.2% に低減されているのがわかる。

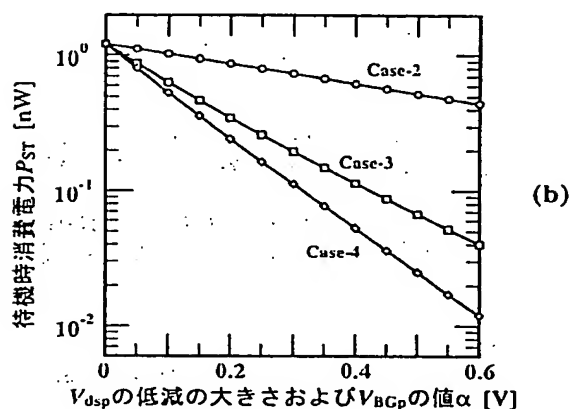
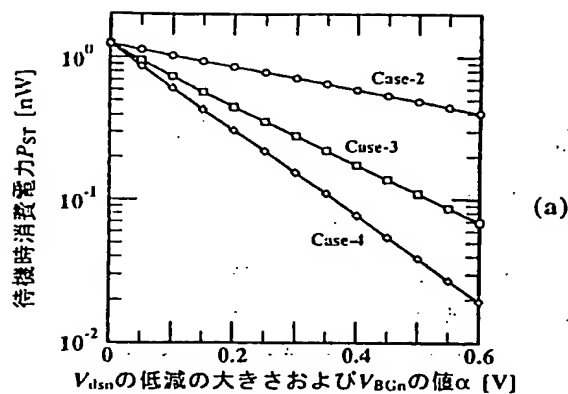


図 2.4:インバータの待機時消費電力特性.
(a) 入力="0" (nMOSFET がカットオフ).
(b) 入力="1" (pMOSFET がカットオフ).

3 電圧レベル変換器(DCLC)

回路が動作状態にあるとき、速度性能を維持するために、電源電圧 ($V_{DD} = 1.5 \text{ V}$, $V_{SS} = 0 \text{ V}$) 一杯の電位を印加する。そのために、図 2.1 のインバータを例にとると、電源 V_{DD} とインバータを pMOSFET スイッチを介して、接地 V_{SS} とインバータを nMOSFET スイッチを介して、それぞれ接続する。インバータを起動するための信号が "1" の時、両スイッチが閉じて、動作状態に入るインバータに電源電圧一杯の電位が印加され、高速動作が可能になる。インバータが待機状態にあるとき、MTCMOS 技術では、上述の pMOSFET スイッチ、nMOSFET スイッチをカットオフして、待機時消費電力 (P_{ST}) を低減する。しかし、この場合、データを保持することは出来ない。

データを保持し、かつノイズ耐性を持たせるためには、導通状態のスイッチでインバータを保持しなくてはならない。さらに、 P_{ST} を低減するには、 V_{DS} が削減でき、 V_{BG} がかけられることが望ましい。そこで、導通状態のスイッチの抵抗と待機状態のインバータの抵抗による電圧降下を利用して、pMOSFET のソース電圧 (V_D) を降圧し、nMOSFET スイッチのソース電圧 (V_S) を昇圧するようにした。こうすることにより、DIBL 効果、BGB 効果を発揮させることが可能

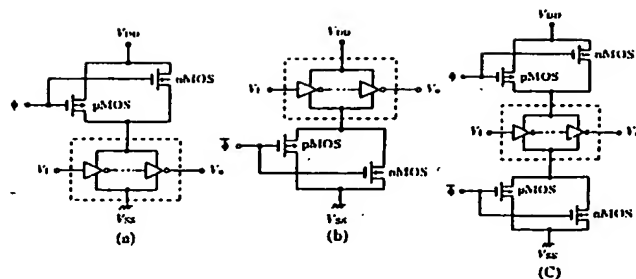


図 3.1:A タイプ DCLC. (a) Aa タイプ.
(b) Ab タイプ. (c) Ac タイプ.

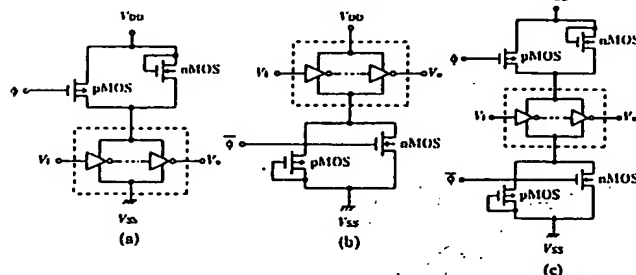


図 3.2:B タイプ DCLC. (a) Ba タイプ.
(b) Bb タイプ. (c) Bc タイプ.

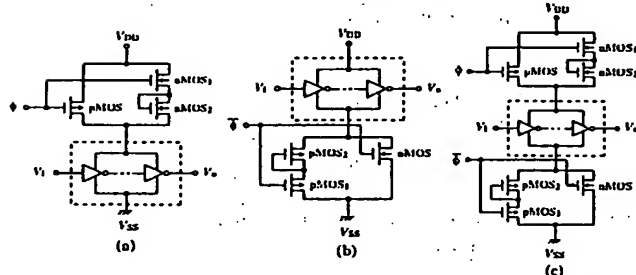


図 3.3:C タイプ DCLC. (a) Ca タイプ.
(b) Cb タイプ. (c) Cc タイプ.

となる。以上の機能を持つ回路を図 3.1 に示す。動的制御可能な本回路を電圧レベル変換器 (Dynamically Controllable DC voltage Level Converter; DCLC) と呼ぶ。

動作時に閉じる pMOSFET スイッチと待機時に閉じる nMOSFET スイッチから構成される DCLC は V_{DD} 側に設けられる。一方、動作時に閉じる nMOSFET スイッチと待機時に閉じる pMOSFET スイッチから構成される DCLC は V_{SS} 側に設けられる。なお、pMOSFET スイッチと nMOSFET スイッチ各 1 個からなる上記 DCLC をここでは A タイプ DCLC と呼ぶ。また、DCLC を V_{DD} 側にのみ設けたタイプを a タイプ、 V_{SS} 側にのみ設けたタイプを b タイプ、両側に設けたタイプを c タイプと呼ぶ。従って、図 3.1(a)、(b)、(c) はそれぞれ Aa タイプ、Ab タイプ、Ac タイプと呼ぶことになる。

図 3.1(a)、(b)、(c) に示した待機時に閉じる MOSFET スイッチは動作時に閉じていても構わない。むしろスイッチを駆動する回路の消費電力が削減され、さらに駆動回路との接続配線が不要になるので、都合がよい。このタイプの DCLC を B タイプ DCLC と呼ぶ。図 3.2(a)、(b)、

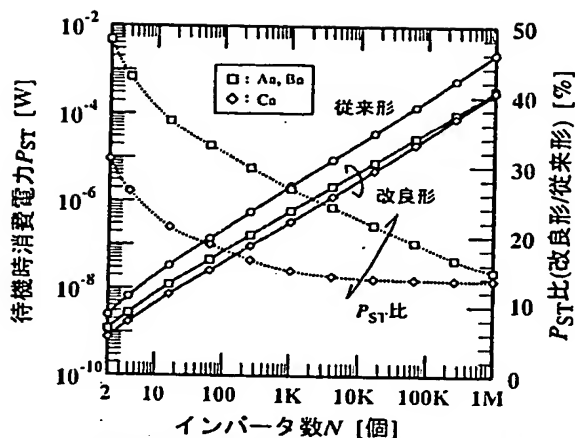


図 3.4: 待機時消費電力 vs インバータ数 (従来、Aa タイプ、Ba タイプ、Ca タイプ)。

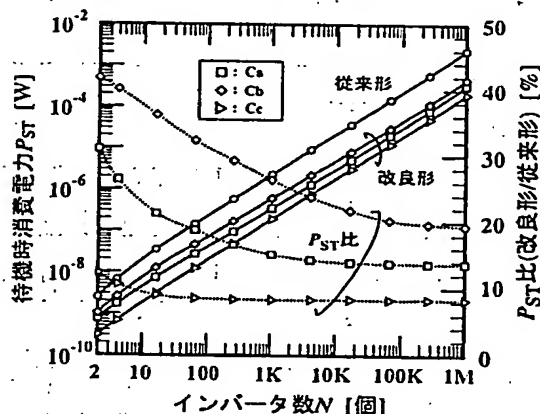


図 3.5: 待機時消費電力 vs インバータ数 (従来、Ca タイプ、Cb タイプ、Cc タイプ)。

(c)に、Ba タイプ、Bb タイプ、Bc タイプを示す。

DIBL 効果をより効果的に発揮させるために、待機時に閉じる MOSFET スイッチに常に導通する MOSFET を直列に設けると、DIBL 効果、BGB 効果をより効果的に発揮させることができる。このタイプの DCLC を C タイプ DCLC と呼ぶ。図 3.3(a), (b), (c)に、Ca タイプ、Cb タイプ、Cc タイプを示す。ここでは常に導通する MOSFET を 1 個設けているが、複数個直列接続してもよい。さらに、待機時に閉じる MOSFET スイッチは図 3.1 と同様、動作時に閉じていても構わない。

インバータの数 (N) と a タイプ (DCLC を V_{DD} 側にのみ設けたタイプ) の待機時消費電力 (P_{ST}) の関係を図 3.4 に示す。なお、 $N/2$ 個のインバータへは "1" 入力が、他の $N/2$ 個のインバータへは "0" 入力が供給されている。比較のため、DCLC のない従来形インバータの P_{ST} もプロットしている。DCLC の有無に無関係にいずれの P_{ST} も N に比例している。また、 N に無関係に、DCLC のあるインバータの P_{ST} は従来形インバータの P_{ST} より小さく、DCLC の P_{ST} 削減効果がわかる。なお、Ba タイプの P_{ST} は Aa タイプの P_{ST} と全く等しい。また、Ca タイプの P_{ST} は Aa、Ba タイプの P_{ST} より小さいこともわかる。

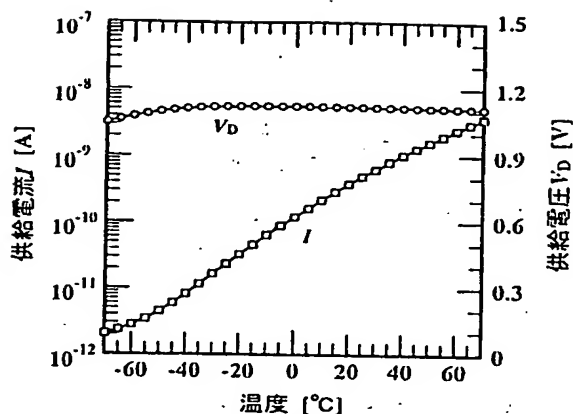


図 3.6: Aa タイプ DCLC の温度依存性。

N が 64 個の時、Aa、Ba タイプの P_{ST} は 46.4 nW、Ca タイプの P_{ST} は 26.4 nW で、従来形インバータの P_{ST} (140.6 nW) のそれぞれ 1/3、1/5、に削減されている。また、 N が 1K 個の時、Aa、Ba タイプの P_{ST} は 610.5 nW、Ca タイプの P_{ST} は 345 nW で、従来形インバータの P_{ST} (2,280 nW) のそれぞれ 1/4、1/7、に削減されている。

次に DCLC の P_{ST} 削減効果を C タイプの DCLC を用いて検討する。Ca タイプ、Cb タイプ、Cc タイプの P_{ST} と N の関係を図 3.5 に示す。 P_{ST} 削減効果は Cb タイプ、Ca タイプ、Cc タイプの順に大きい。

図 3.6 に Aa タイプ DCLC と負荷 (インバータ 2 個) の温度依存性を示す。温度の増加とともに V_D はわずかながら増加し、 -10°C で最大となり、以後、温度の増加とともにわずかながら減少している。一方 DCLC の供給電流 I は温度の減少とともに線形に減少している。室温 (25°C) から 0°C に低減すると、 I は 24.5% に減少する。

4 SRAM への応用

図 4.1 に $0.13\text{-}\mu\text{m}$ CMOS SRAM メモリセルのデータ保持特性を示す。供給電圧が 0.3 V 以上、温度が -25°C から 50°C の範囲で、データが保持されることがわかる。図 4.2 に SRAM メモリセル 1 ビット分の P_{ST} の温度依存性を示す。温度の減少とともにほぼ線形に P_{ST} が減少している。また、図 2.4 と同様に、DIBL 効果、BGB 効果により、 P_{ST} が減少しているのもわかる。室温 (25°C) から 0°C に低減すると、 P_{ST} は 23.0% に減少する。Cc タイプの電圧レベル変換器 (DCLC) を適用した改良形 SRAM ならびに従来形 SRAM を設計した。Cc タイプの DCLC を適用した 512 ビット SRAM の構成を図 4.3 に示す。ワード構成は 8 ビット \times (4 \times 16) ワード、 V_D は 1.5 V で、用いた技術は $0.13\text{-}\mu\text{m}$ CMOS 技術である。

表 4.1 に 512 ビット SRAM の特性を、図 4.4 に従来形、改良形 512 ビット SRAM の "1" 読み出し波形を示す。(a) は行アドレス、(b) はワード線電位、(c) は読み出しデータ "1"、(d) は DCLC の出力電圧である。512 ビット SRAM の待機時消費電力 (P_{ST}) は従来形が $3.58\text{ }\mu\text{W}$ 、従来

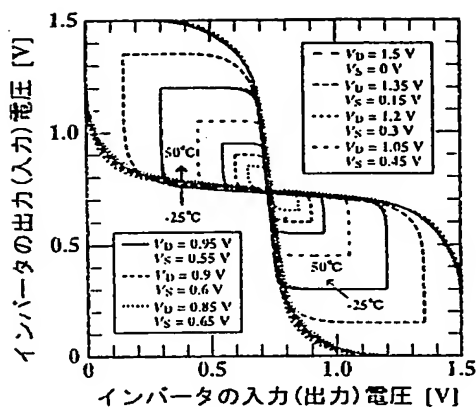


図 4.1: SRAM メモリセルのデータ保持特性 ($0.2\text{V} \leq \text{供給電圧} \leq 1.5\text{V}$, $-25^\circ\text{C} \leq \text{温度} \leq 50^\circ\text{C}$).

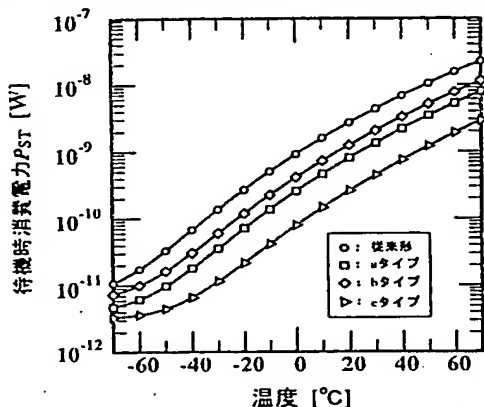


図 4.2: SRAM メモリセルの待機時消費電力特性 ($-70^\circ\text{C} \leq \text{温度} \leq 70^\circ\text{C}$).

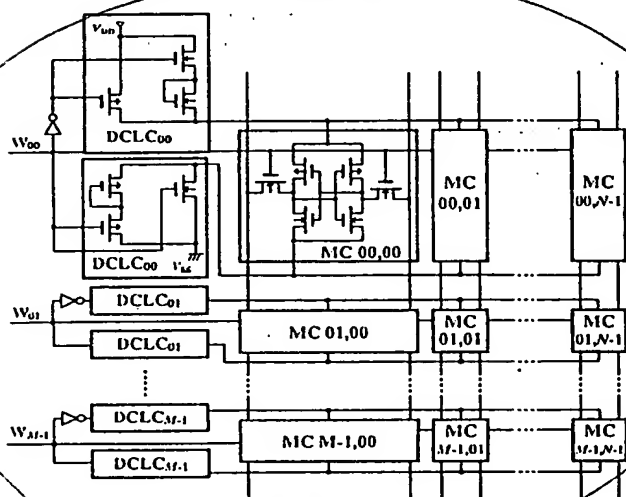


図 4.3: Cc タイプ DCLC を適用した 512 ビット SRAM の構成.

形と同一の行デコーダ、ワード線ドライバを用いた改良形(改良形 1)が $0.882 \mu\text{W}$ (従来形の 24.6%)である。アクセス時間は従来形が 283 p 秒、改良形 1 が 323 p 秒(14.1%増)である。行デコーダ、ワード線ドライバの駆動力を増した改良形(改良形 2)のアクセス時間は 286 p 秒で、

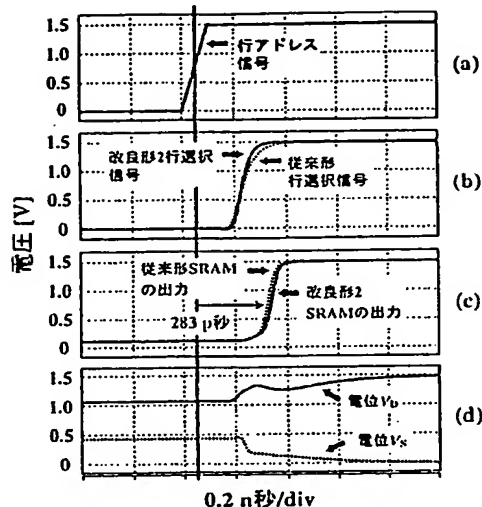


図 4.4: 512 ビット SRAM の“1”読み出し波形.

表 4.1: 512 ビット SRAM の特性.

		従来形	改良形1	改良形2
待機時消費電力 [μW]	“1”読み出し時間 [p秒]	283	323 (114.1%)	286 (101.06%)
	1ワード当たり	0.127	0.0146 (11.5%)	0.0212 (16.7%)
	メモリセル部	2.86	0.103 (3.60%)	0.103 (3.60%)
	全体	3.58	0.882 (24.6%)	1.04 (29.1%)
面積 [mm^2]		0.0245	0.0256 (104.49%)	0.0258 (105.31%)

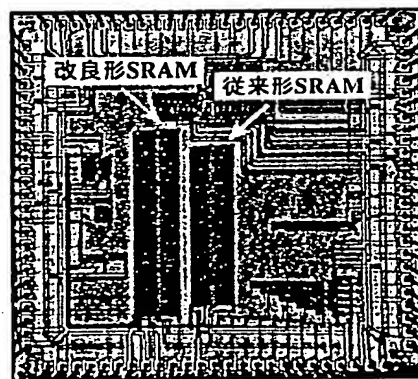


図 4.5: Cc タイプ DCLC を適用した 512 ビット SRAM のチップ写真.

従来形のわずか 1.06%増しである。しかし、 P_{ST} は若干増加して $1.04 \mu\text{W}$ となった。これは従来形の 29.1%である。表 4.1 に示す通り、メモリセル部の P_{ST} は従来形が $2.86 \mu\text{W}$ である。これに対して改良形は 103 nW (従来形の 3.6%)と小さい。従って、周辺回路へも DCLC 技術を適用すれば、チップ全体の P_{ST} をさらに削減できる。

図 4.5 は現在 P_{ST} の削減効果を評価している $0.6\text{-}\mu\text{m}$ 512 ビット CMOS SRAM のチップ写真である。

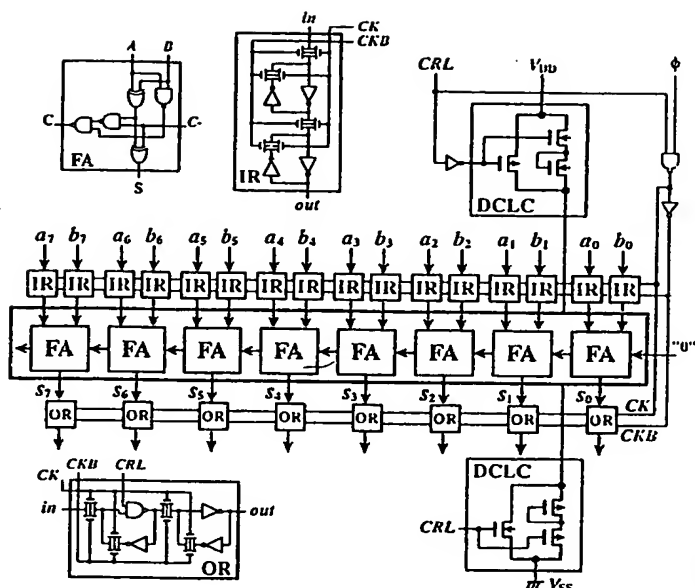


図 5.1: Cc タイプ DCLC を適用した 8 ビット逐次桁上げ加算回路の構成。

表 5.1: 逐次桁上げ加算回路の特性。

		8ビット		16ビット		32ビット	
		従来	改良	従来	改良	従来	改良
DC/DC サイズ [μm]	動作時	-	14.4	-	28.8	-	56.6
	待機時	-	0.6	-	0.6	-	0.6
クリティカル パス 遅延時間 [ns]		0.76	0.79 (103.8%)	1.60	1.64 (102.5%)	3.28	3.32 (101.2%)
動作時消費電力 [μW] (φ=100 MHz)		97.4	63.9 (65.6%)	194.9	127.8 (65.6%)	389.8	255.7 (65.6%)
待機時 供給電圧 [V]	VD	1.50	1.19	1.50	1.18	1.50	1.17
	VS	0	0.35	0	0.34	0	0.34
待機時 消費電力 [nW]	DC/DC	-	4.03	-	8.04	-	16.04
	RCA	88.7	(4.54%)	177.3	(4.53%)	354.7	(4.52%)
面積 [μm ²]		5627.5	5811.4 (103.3%)	11285.4	11607.3 (102.9%)	22601.3	23222.1 (102.7%)

5 論理回路への応用

0.13-μm CMOS 技術を用いて DCLC を適用した改良形逐次桁上げ加算回路(RCA)ならびに従来形 RCA を設計した。図 5.1 に Cc タイプ DCLC を適用した 8 ビット RCA の構成を示す。ここでは通常の入出力レジスタが用いられているが、入出力レジスタへも DCLC を適用することにより、待機時消費電力(P_{ST})のさらなる低減が図れる。図 5.2 に従来形、改良形 8 ビット RCA の動作波形を示す。(a)は DCLC 出力電圧、(b)はクロックパルス、(c)は RCA の入力波形(立ち上がり)および出力波形(立ち下がり)、である。従来形 8 ビット RCA の立ち下がり遅延時間は 0.76 ns である。改良形 8 ビット RCA の立ち下がり遅延時間は 0.79 ns で、従来形に比べ、3.8%

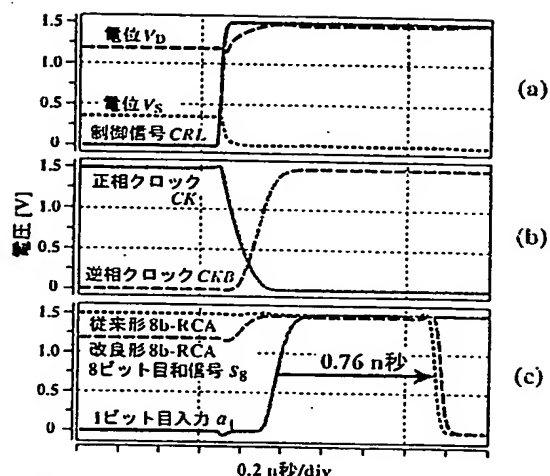


図 5.2: 8 ビット逐次桁上げ加算回路のノード毎の波形。

増加している。図 5.2 (c)に示すように、待機時の改良形 RCA の出力端電位は DCLC の出力端電位と一致し、電源電圧(V_{DD})より低い。制御信号により RCA が起動されると、出力端電位は V_{DD} に昇圧されているのがわかる。

従来形 8 ビット RCA (FA8 個分)の P_{ST} は 88.7 nW であった。改良形 8 ビット RCA (FA8 個分および DCLC)の P_{ST} は 4.03 nW で、従来形の 1/20 以下(4.54%)に減少した。一方、クロック周波数 100 MHz の時、従来形 8 ビット RCA (FA8 個分)の動作時消費電力(P_{AT})は 97.4 μW であった。改良形 8 ビット RCA (FA8 個分および DCLC)の P_{AT} は 63.9 μW で、従来形の 65.6%に減少した。これは DCLC により貫通電流も低減されるからである。

改良形 16、32 ビット RCA を設計して従来形 16、32 ビット RCA と比較した。特性を表 5.1 に示す。改良形 8 ビット RCA とほぼ同様な改善が得られていることがわかる。

6 おわりに

MOSFET の微細化に伴い、サブスレッショルド電流(I_{off})の増加により待機時消費電力(P_{ST})が増大すると言う問題をはじめとして、さまざまな問題が起きている。これらの問題を解決し、将来のサブ 100 nm-CMOS 時代に対応できるよう、ドレイン・ソース間電圧(V_{ds})とバックゲート電圧(V_{BG})を適応的に変化できる新しい電圧レベル変換器(Dynamically Controllable DC voltage Level Converter; DCLC) 技術を開発した。 V_{ds} を電源電圧(V_{DD})と等しくし、 V_{BG} をかけない状態にすれば、動作時性能が維持できる。 V_{ds} を低減すると、 V_{BG} も自動的にかかり、これにより、DIBL(Drain Induced Barrier Lowering)効果、BGB(Back Gate Bias)効果により、 I_{off} が減少し、 P_{ST} を大幅に低減できる。さらに、貫通電流が削減されるので、動作時消費電力(P_{AT})をも低減できる。また、待機時のデータ保持も可能なので、論理回路への適用のみならず、フリップフロップや SRAM メモリセルへの適用も可能である。

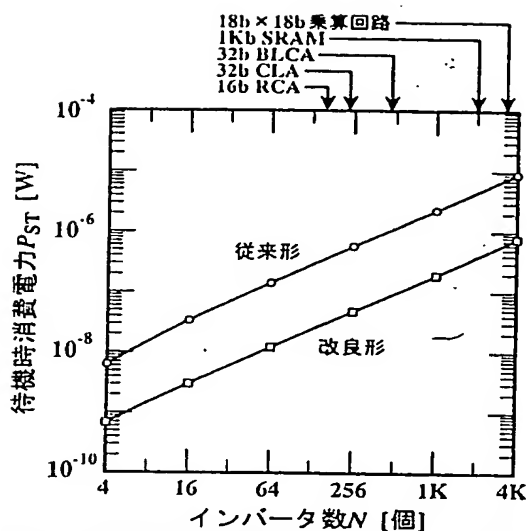


図 6.1: 待機時消費電力 P_{ST} vs インバータ数.

従って、レジスタファイル、SRAM、入出力レジスタ、パイプラインレジスタ、カウンタ、等々の P_{ST} を大幅に低減することができる。なお、DCLC の面積オーバーヘッドは従来の MTCMOS 技術並で、VTCMOS 技術より小さくすることができる。

DCLC の有効性を確認するため、DCLC を適用した改良形 SRAM および改良形逐次桁上げ加算回路(RCA)を設計・試作した。512 ビット従来形 SRAM の P_{ST} は $3.58 \mu W$ であった。512 ビット改良形 SRAM の P_{ST} は $1.04 \mu W$ で、従来形の 1/3 以下(29.1%)に減少した。512 ビット改良形 SRAM のアクセス時間は 286 p 秒で、従来形 SRAM のアクセス時間(283 p 秒)に比べ、遅れは 1.06%とわずかであった。従来形 8 ビット RCA の P_{ST} は $88.7 nW$ であった。改良形 8 ビット RCA の P_{ST} は $4.03 nW$ で、従来形の 1/20 以下(4.54%)に減少した。また、従来形 8 ビット RCA の P_{AT} は $97.4 \mu W$ であった。改良形 8 ビット RCA の P_{AT} は $63.9 \mu W$ で、従来形 8 ビット RCA の P_{AT} ($97.4 \mu W$)の 65.6%に減少した。改良形 8 ビット RCA のクリティカルパス遅延時間は $0.79 n$ 秒で、従来形のわずかに 3.8%増であった。

今後、SRAM の周辺回路、RCA の入出力レジスタへも DCLC 技術を適用し、更なる低消費電力化を進める。 P_{ST} 、 P_{ST} 削減率と回路規模とのおおよその関係を見るために、従来回路の P_{ST} と Cc タイプの DCLC を適用した回路の P_{ST} を図 6.1 に示す。回路規模を示す論理ゲート数として、ここでは一例として、インバータ数 N を用いている。たとえば、約 480 ゲートから成る 32 ビット 2 進桁上げ先見加算回路(BCLA)の場合、従来形の P_{ST} は実際とは若干小さめだが、約 $1 \mu W$ である。これに対して、DCLC を適用すると、 P_{ST} は約 $0.1 \mu W$ と、1/10 に削減されている。図 6.1 に、約 160 ゲートで構成される 16 ビット RCA、

約 240 ゲートの 32 ビット桁上げ先見加算回路(CLA)、約 3K ゲートの 18 ビット \times 18 ビット乗算回路、1K ビット SRAM($16b \times 4w \times 16w$)も示す。いずれの回路も、DCLC を適用すると、 P_{ST} は約 1/10 に削減されることがわかる。今後、乗算回路、カウンタ、レジスタファイル、等大規模回路へも適用していく。今回開発した DCLC 技術は将来のサブ 100 nm CMOS 時代に対処できる有効な技術である。

謝辞 SPICE 用の $0.13\text{-}\mu\text{m}$ -MOSFET モデルパラメータを快く提供して下さった NEC の関係各位に心より感謝致します。また、御協力頂いた中大榎本研究室の関係諸氏に感謝致します。また、試作したチップは東京大学大規模集積システム設計教育研究センターを通し、ローム株式会社および大日本印刷株式会社の協力で行われたものである。

参考文献

- [1] 榎本、「CMOS 集積回路 -入門から実用まで-」、培風館、pp. 106 - 111、初版第 4 刷 2001 年 4 月 10 日。
- [2] S. Mutoh, S. Shigematsu, Y. Matsuya, H. Fukuda and J. Yamada, "A 1V multi-threshold voltage CMOS DSP with an efficient power management technique for mobile phone application," Digest of Technical Papers, ISSCC, FA 10.4, pp. 168 - 169, 438, Feb. 1996.
- [3] T. Kuroda, T. Fujita, S. Mita, T. Nagamatsu, S. Yoshioka, F. Sano, M. Norishima, M. Murota, M. Kako, M. Kinugawa, M. Kakumu and T. Sakura, "A 0.9V 150MHz 10mW 4mm² 2-D discrete cosine transform core processor with variable-threshold-voltage scheme," Digest of Technical Papers, ISSCC, FA 10.3, pp. 166 - 167, 437, Feb. 1996.
- [4] T. Enomoto, H. Shikano, H. Iwata, M. Fujii and N. Yoshida, "A Dynamically Controllable DC/DC Level Converter and Its Application to High-Speed, Low-Power Circuits", in Proc. of the European Solid-State Circuits Conference (ESSCIRC'2000), pp. 60 - 63, in Stockholm, Sweden, Sept. 2000.
- [5] 榎本、鹿野、岡、「低電力半導体集積回路」、日本国特許、出願(申請)番号: 特願 2001-128431、出願(申請)日: 平成 13 年 3 月 22 日。
- [6] 岡、鹿野、榎本、「動的制御可能な DC/DC 変換回路と $0.13\mu\text{m}$ -CMOS SRAM への応用」、信学総合大会講演論文集、エレクトロニクス 2、C-12-37、p.132、2001 年 3 月。
- [7] 菅野、伊藤、「ULSI デバイス・プロセス技術」、電子情報通信学会、pp. 110-111、平成 7 年 2 月 10 日。